

S-8216Aシリーズは、高精度電圧検出回路と遅延回路を内蔵したリチウムイオン / リチウムポリマー二次電池セカンドプロテクト用ICです。

S-8216Aシリーズは過充電検出機能と放電過電流検出機能を備えています。

■ 特長

- ・高精度電圧検出回路
 - 過充電検出電圧 4.000 V ~ 5.000 V (5 mVステップ) 精度±15 mV
 - 過充電解除電圧 3.600 V ~ 4.950 V*1 精度±50 mV
 - 放電過電流検出電圧 0.003 V ~ 0.100 V (0.5 mVステップ) 精度±1.5 mV
- ・検出遅延時間は内蔵回路のみで実現 (外付け容量は不要)
- ・出力論理を選択可能 : アクティブ "H"、アクティブ "L"
- ・出力形態 : CMOS出力
- ・広動作温度範囲 : Ta = -40°C ~ +85°C
- ・低消費電流
 - 動作時 : 2.0 μA typ., 4.0 μA max. (Ta = +25°C)
- ・鉛フリー (Sn 100%)、ハロゲンフリー

*1. 過充電解除電圧 = 過充電検出電圧 - 過充電ヒステリシス電圧
(過充電ヒステリシス電圧は、0.05 V ~ 0.4 Vの範囲内にて50 mVステップで選択可能)

■ 用途

- ・リチウムイオン二次電池パック
- ・リチウムポリマー二次電池パック

■ パッケージ

- ・SNT-6A

■ ブロック図

1. アクティブ "H"

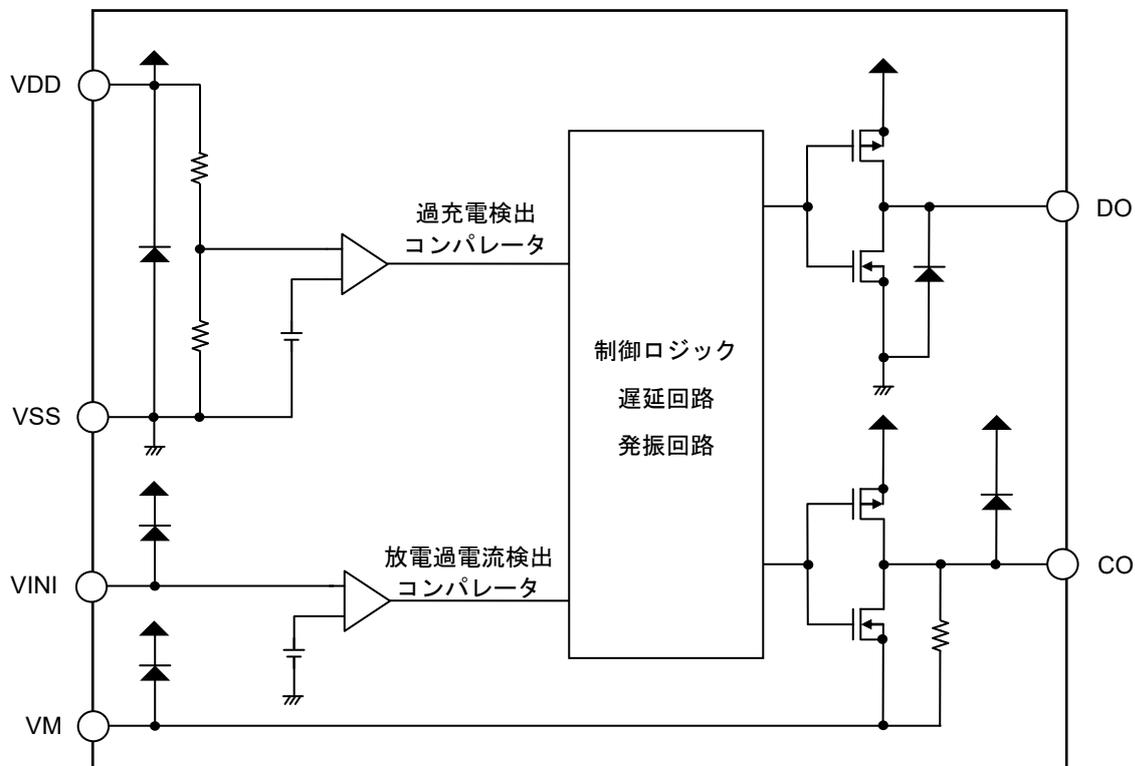


図1

2. アクティブ "L"

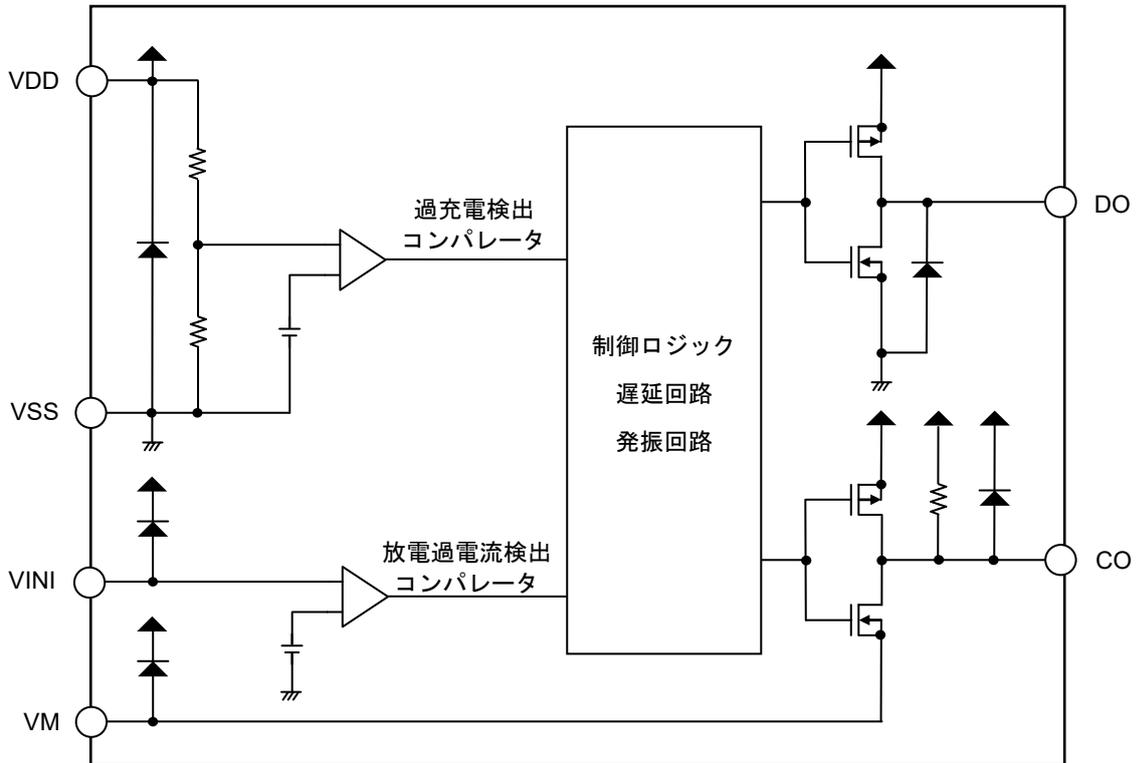
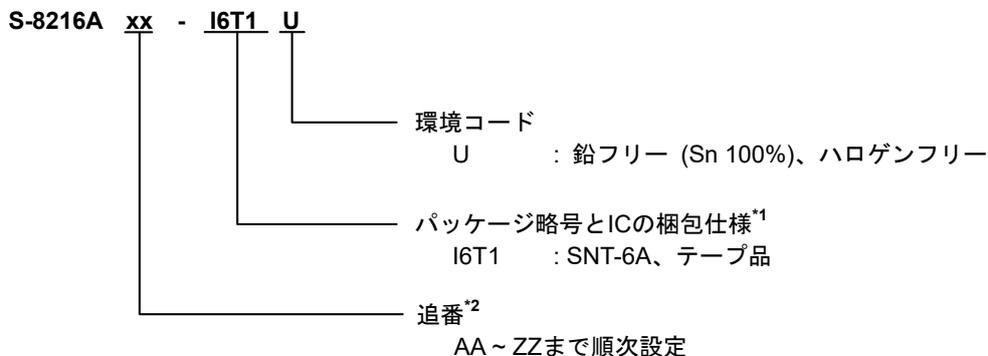


図2

■ 品目コードの構成

1. 製品名



*1. テープ図面を参照してください。

*2. "3. 製品名リスト" を参照してください。

2. パッケージ

表1 パッケージ図面コード

パッケージ名	外形寸法図面	テープ図面	リール図面	ランド図面
SNT-6A	PG006-A-P-SD	PG006-A-C-SD	PG006-A-R-SD	PG006-A-L-SD

3. 製品名リスト

表2

製品名	過充電 検出電圧 [V _{cu}]	過充電 解除電圧 [V _{cl}]	放電過電流 検出電圧 [V _{biov}]	過充電検出 遅延時間 ^{*1} [t _{cu}]	放電過電流検出 遅延時間 ^{*2} [t _{biov}]	出力論理 ^{*3}
S-8216AAA-I6T1U	4.550 V	4.200 V	0.0105 V	2 s	4 s	アクティブ "H"

*1. 過充電検出遅延時間を1 s, 2 s, 4 sから選択可能

*2. 放電過電流検出遅延時間を1 s, 2 s, 3.75 s, 4 sから選択可能

*3. 出力論理をアクティブ "H"、アクティブ "L" から選択可能

備考 上記以外の製品をご希望のときは、弊社営業部までお問い合わせください。

■ ピン配置図

1. SNT-6A

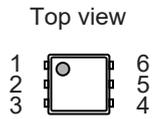


図3

表3

端子番号	端子記号	端子内容
1	VM	CO端子側負極電源端子
2	CO	充電制御用FETゲート接続端子 (CMOS出力)
3	DO	テスト信号入力端子
4	VSS	負電源入力端子
5	VDD	正電源入力端子
6	VINI	放電過電流検出端子

■ 絶対最大定格

表4

(特記なき場合 : Ta = +25°C)

項目	記号	適用端子	絶対最大定格	単位
VDD端子 - VSS端子間入力電圧	V _{DS}	VDD	V _{SS} - 0.3 ~ V _{SS} + 6	V
VM入力端子電圧	V _{VM}	VM	V _{DD} - 28 ~ V _{DD} + 0.3	V
VINI入力端子電圧	V _{VINI}	VINI	V _{DD} - 6 ~ V _{DD} + 0.3	V
DO入力端子電圧	V _{DO}	DO	V _{SS} - 0.3 ~ V _{DD} + 0.3	V
CO出力端子電圧	V _{CO}	CO	V _{DD} - 28 ~ V _{DD} + 0.3	V
動作周囲温度	T _{opr}	-	-40 ~ +85	°C
保存温度	T _{stg}	-	-55 ~ +125	°C

注意 絶対最大定格とは、どのような条件下でも越えてはならない定格値です。万一この定格値を越えると、製品の劣化などの物理的な損傷を与える可能性があります。

■ 熱抵抗値

表5

項目	記号	条件	Min.	Typ.	Max.	単位	
ジャンクション温度 - 周囲温度間 熱抵抗値*1	θ _{JA}	SNT-6A	Board A	-	224	-	°C/W
			Board B	-	176	-	°C/W
			Board C	-	-	-	°C/W
			Board D	-	-	-	°C/W
			Board E	-	-	-	°C/W

*1. 測定環境 : JEDEC STANDARD JESD51-2A準拠

備考 詳細については、"■ Power Dissipation"、"Test Board" を参照してください。

■ 電気的特性

1. Ta = +25°C

表6

(特記なき場合 : Ta = +25°C)

項目	記号	条件	Min.	Typ.	Max.	単位	測定回路
検出電圧							
過充電検出電圧	V _{CU}	-	V _{CU} - 0.015	V _{CU}	V _{CU} + 0.015	V	1
過充電解除電圧	V _{CL}	-	V _{CL} - 0.050	V _{CL}	V _{CL} + 0.050	V	1
放電過電流検出電圧	V _{DIOV}	-	V _{DIOV} - 0.0015	V _{DIOV}	V _{DIOV} + 0.0015	V	2
入力電圧							
VDD端子 - VSS端子間動作電圧	V _{DSOP}	-	1.5	-	6.0	V	-
入力電流							
動作時消費電流	I _{OP}	V _{DD} = 3.4 V, V _{VM} = 0 V	-	2.0	4.0	μA	3
出力抵抗							
CO端子抵抗 "H" 1	R _{COH1}	-	5	10	20	kΩ	4
CO端子抵抗 "L" 1	R _{COL1}	-	5	10	20	kΩ	4
DO端子抵抗 "H"	R _{DOH}	-	5	10	20	kΩ	4
DO端子抵抗 "L"	R _{DOL}	-	1	2	4	kΩ	4
CO端子抵抗 "H" 2	R _{COH2}	アクティブ "L"	1	4	-	MΩ	4
CO端子抵抗 "L" 2	R _{COL2}	アクティブ "H"	1	4	-	MΩ	4
遅延時間							
過充電検出遅延時間	t _{CU}	-	t _{CU} × 0.7	t _{CU}	t _{CU} × 1.3	-	5
放電過電流検出遅延時間	t _{DIOV}	-	t _{DIOV} × 0.75	t _{DIOV}	t _{DIOV} × 1.25	-	5

2. $T_a = -20^{\circ}\text{C} \sim +60^{\circ}\text{C}^{*1}$

表7

(特記なき場合 : $T_a = -20^{\circ}\text{C} \sim +60^{\circ}\text{C}^{*1}$)

項目	記号	条件	Min.	Typ.	Max.	単位	測定回路
検出電圧							
過充電検出電圧	V_{CU}	-	$V_{CU} - 0.020$	V_{CU}	$V_{CU} + 0.020$	V	1
過充電解除電圧	V_{CL}	-	$V_{CL} - 0.065$	V_{CL}	$V_{CL} + 0.057$	V	1
放電過電流検出電圧	V_{DIOV}	-	$V_{DIOV} - 0.002$	V_{DIOV}	$V_{DIOV} + 0.002$	V	2
入力電圧							
VDD端子 - VSS端子間動作電圧	V_{DSOP}	-	1.5	-	6.0	V	-
入力電流							
動作時消費電流	I_{OPE}	$V_{DD} = 3.4\text{ V}, V_{VM} = 0\text{ V}$	-	2.0	5.0	μA	3
出力抵抗							
CO端子抵抗 "H" 1	R_{COH1}	-	2.5	10	30	$\text{k}\Omega$	4
CO端子抵抗 "L" 1	R_{COL1}	-	2.5	10	30	$\text{k}\Omega$	4
DO端子抵抗 "H"	R_{DOH}	-	2.5	10	30	$\text{k}\Omega$	4
DO端子抵抗 "L"	R_{DOL}	-	0.5	2	6	$\text{k}\Omega$	4
CO端子抵抗 "H" 2	R_{COH2}	アクティブ "L"	0.25	4	-	$\text{M}\Omega$	4
CO端子抵抗 "L" 2	R_{COL2}	アクティブ "H"	0.25	4	-	$\text{M}\Omega$	4
遅延時間							
過充電検出遅延時間	t_{CU}	-	$t_{CU} \times 0.6$	t_{CU}	$t_{CU} \times 1.4$	-	5
放電過電流検出遅延時間	t_{DIOV}	-	$t_{DIOV} \times 0.65$	t_{DIOV}	$t_{DIOV} \times 1.35$	-	5

*1. 高温および低温での選別はしておりませんので、この温度範囲での規格は設計保証とします。

■ 測定回路

注意 特に記述していない場合のCO端子の出力電圧 (V_{CO}) の "H", "L" の判定は、Nch FETのしきい値電圧 (1.0 V) とします。このとき、CO端子は V_{VM} 基準で判定してください。

1. 過充電検出電圧、過充電解除電圧 (測定回路1)

1.1 アクティブ "H"

$V_1 = 3.4$ Vに設定した状態から V_1 を徐々に上げ、 $V_{CO} = "L" \rightarrow "H"$ となる V_1 の電圧を過充電検出電圧 (V_{CU}) とします。その後、 V_1 を徐々に下げ、 $V_{CO} = "H" \rightarrow "L"$ となる V_1 の電圧を過充電解除電圧 (V_{CL}) とします。 V_{CU} と V_{CL} との差を過充電ヒステリシス電圧 (V_{HC}) とします。

1.2 アクティブ "L"

$V_1 = 3.4$ Vに設定した状態から V_1 を徐々に上げ、 $V_{CO} = "H" \rightarrow "L"$ となる V_1 の電圧を過充電検出電圧 (V_{CU}) とします。その後、 V_1 を徐々に下げ、 $V_{CO} = "L" \rightarrow "H"$ となる V_1 の電圧を過充電解除電圧 (V_{CL}) とします。 V_{CU} と V_{CL} との差を過充電ヒステリシス電圧 (V_{HC}) とします。

2. 放電過電流検出電圧 (測定回路2)

2.1 アクティブ "H"

$V_1 = 3.4$ V, $V_4 = 0$ Vに設定した状態で V_4 を上昇させてから、 $V_{CO} = "L" \rightarrow "H"$ となるまでの遅延時間が、放電過電流検出遅延時間 (t_{DIOV}) である V_4 の電圧を放電過電流検出電圧 (V_{DIOV}) とします。その後、 V_4 が V_{DIOV} typ.以下になると $V_{CO} = "H" \rightarrow "L"$ となります。

2.2 アクティブ "L"

$V_1 = 3.4$ V, $V_4 = 0$ Vに設定した状態で V_4 を上昇させてから、 $V_{CO} = "H" \rightarrow "L"$ となるまでの遅延時間が、放電過電流検出遅延時間 (t_{DIOV}) である V_4 の電圧を放電過電流検出電圧 (V_{DIOV}) とします。その後、 V_4 が V_{DIOV} typ.以下になると $V_{CO} = "L" \rightarrow "H"$ となります。

3. 動作時消費電流 (測定回路3)

$V_1 = 3.4$ Vに設定した状態において、VDD端子に流れる電流 (I_{DD}) を動作時消費電流 (I_{OPE}) とします。

4. CO端子抵抗 "H" 1 (測定回路4)

4.1 アクティブ "H"

$V_1 = 5.1$ V, $V_2 = 4.7$ Vに設定した状態において、VDD端子 - CO端子間抵抗をCO端子抵抗 "H" 1 (R_{COH1}) とします。

4.2 アクティブ "L"

$V_1 = 3.4$ V, $V_2 = 3.0$ Vに設定した状態において、VDD端子 - CO端子間抵抗をCO端子抵抗 "H" 1 (R_{COH1}) とします。

5. CO端子抵抗 "L" 1
(測定回路4)

5.1 アクティブ "H"

V1 = 3.4 V, V2 = 0.4 Vに設定した状態において、VM端子 – CO端子間抵抗をCO端子抵抗 "L" 1 (R_{CO1}) とします。

5.2 アクティブ "L"

V1 = 5.1 V, V2 = 0.4 Vに設定した状態において、VM端子 – CO端子間抵抗をCO端子抵抗 "L" 1 (R_{CO1}) とします。

6. DO端子抵抗 "H"
(測定回路4)

V1 = 3.4 V, V3 = 3.0 Vに設定した状態において、VDD端子 – DO端子間抵抗をDO端子抵抗 "H" (R_{DOH}) とします。

7. DO端子抵抗 "L"
(測定回路4)

V1 = 1.8 V, V3 = 0.4 Vに設定した状態において、VSS端子 – DO端子間抵抗をDO端子抵抗 "L" (R_{DOL}) とします。

8. CO端子抵抗 "H" 2 (アクティブ "L")
(測定回路4)

V1 = 5.1 V, V2 = 0 Vに設定した状態において、VDD端子 – CO端子間抵抗をCO端子抵抗 "H" 2 (R_{COH2}) とします。

9. CO端子抵抗 "L" 2 (アクティブ "H")
(測定回路4)

V1 = 5.1 V, V2 = 5.1 Vに設定した状態において、VM端子 – CO端子間抵抗をCO端子抵抗 "L" 2 (R_{COL2}) とします。

10. 過充電検出遅延時間
(測定回路5)

10.1 アクティブ "H"

V1 = 3.4 Vに設定した状態からV1を上昇させ、V1が V_{CU} を上回ってから $V_{CO} = "H"$ となるまでの時間を過充電検出遅延時間 (t_{cu}) とします。

10.2 アクティブ "L"

V1 = 3.4 Vに設定した状態からV1を上昇させ、V1が V_{CU} を上回ってから $V_{CO} = "L"$ となるまでの時間を過充電検出遅延時間 (t_{cu}) とします。

11. 放電過電流検出遅延時間
(測定回路5)

11.1 アクティブ "H"

V1 = 3.4 V, V4 = 0 Vに設定した状態からV4を上昇させ、V4が V_{DIOV} を上回ってから $V_{CO} = "H"$ となるまでの時間を放電過電流検出遅延時間 (t_{DIOV}) とします。

11.2 アクティブ "L"

V1 = 3.4 V, V4 = 0 Vに設定した状態からV4を上昇させ、V4が V_{DIOV} を上回ってから $V_{CO} = "L"$ となるまでの時間を放電過電流検出遅延時間 (t_{DIOV}) とします。

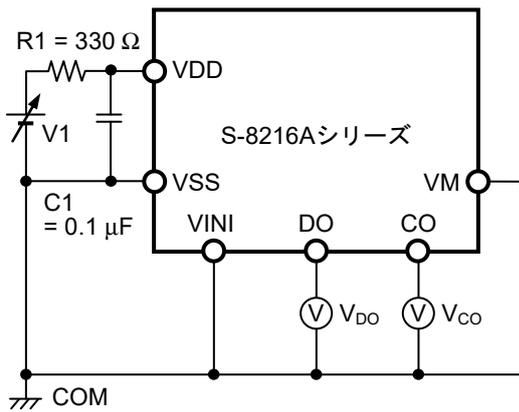


図4 測定回路1

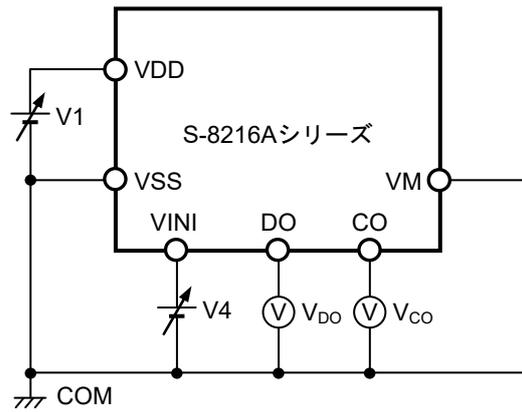


図5 測定回路2

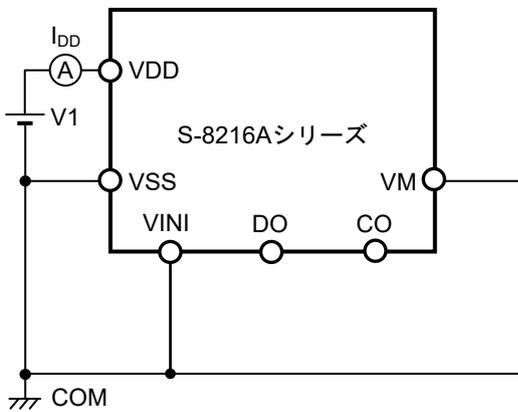


図6 測定回路3

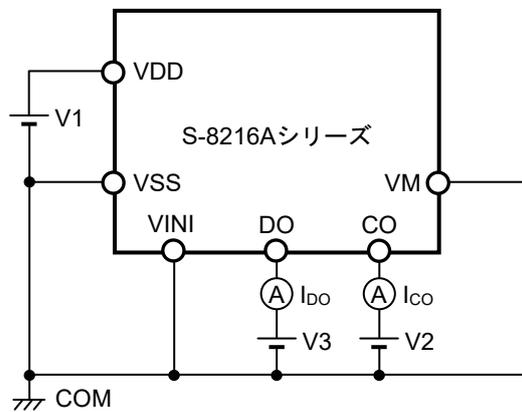


図7 測定回路4

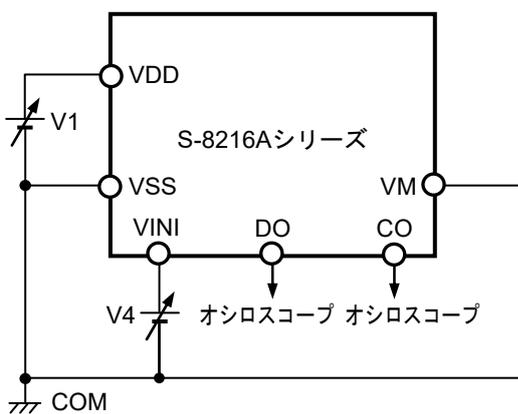


図8 測定回路5

■ 動作説明

備考 "■ バッテリー保護ICの接続例" を参照してください。

1. 過充電状態

S-8216Aシリーズは、VDD端子 – VSS端子間に接続された電池電圧を監視し、過充電を検出します。通常状態の電池電圧が充電中に過充電検出電圧 (V_{cu}) を越え、その状態を過充電検出遅延時間 (t_{cu}) 以上保持した場合、CO端子から過充電検出信号を出力します。この状態を過充電状態と言います。CO端子にFETを接続することにより、充電制御およびセカンドプロテクトが可能です。

2. 放電過電流状態

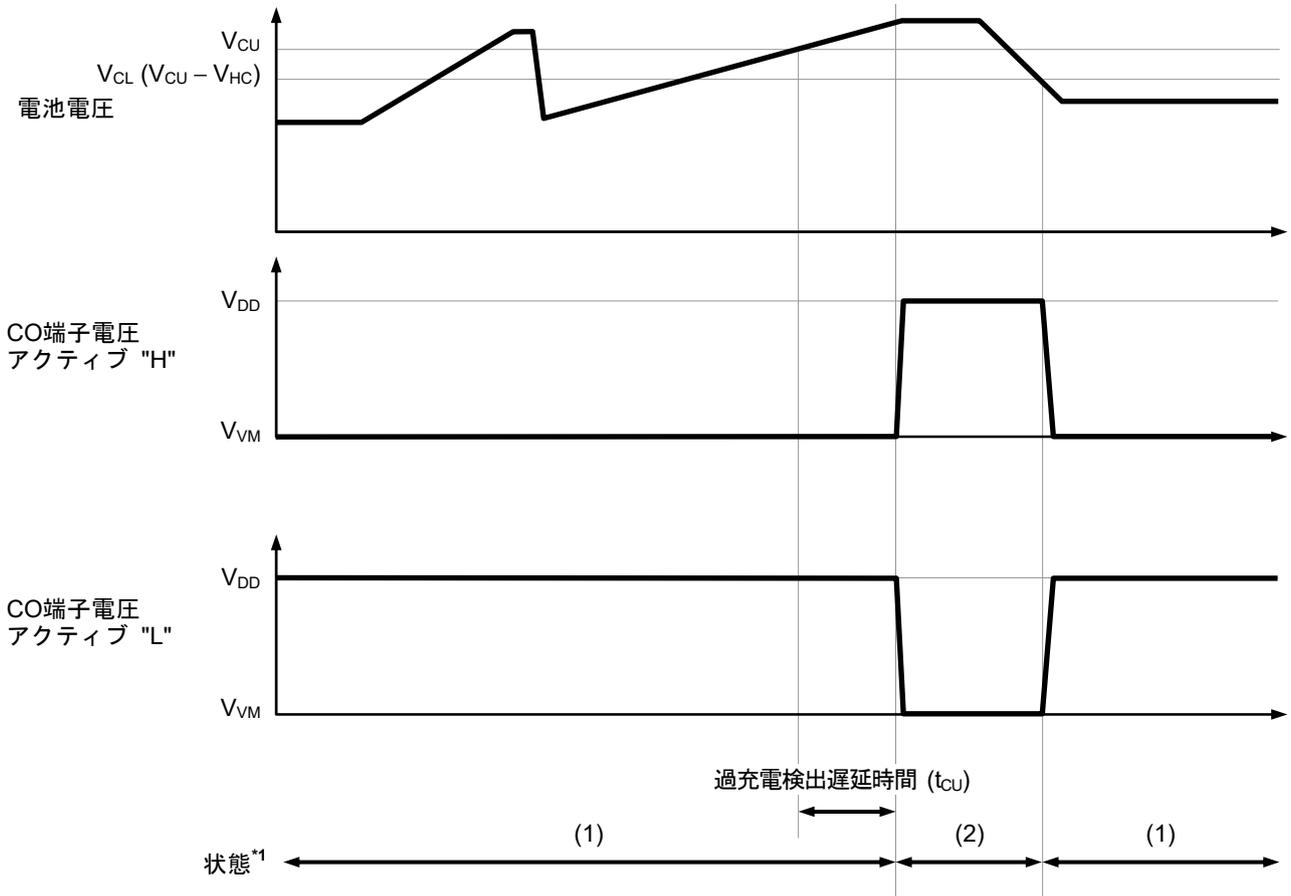
S-8216Aシリーズは、VINI端子電圧を監視し、放電過電流を検出します。VINI端子電圧が放電過電流検出電圧 (V_{DIOV}) を越え、その状態を放電過電流検出遅延時間 (t_{DIOV}) 以上保持した場合、CO端子から放電過電流検出信号を出力します。この状態を放電過電流状態と言います。CO端子にFETを接続することにより、放電制御およびセカンドプロテクトが可能です。

3. テストモード

S-8216Aシリーズは、DO端子を外部から強制的にVSS電位にすることで t_{cu} および t_{DIOV} を短縮できます。DO端子を外部から強制的にVSS電位にした場合、 t_{cu} および t_{DIOV} が約1/64になります。

■ タイミングチャート

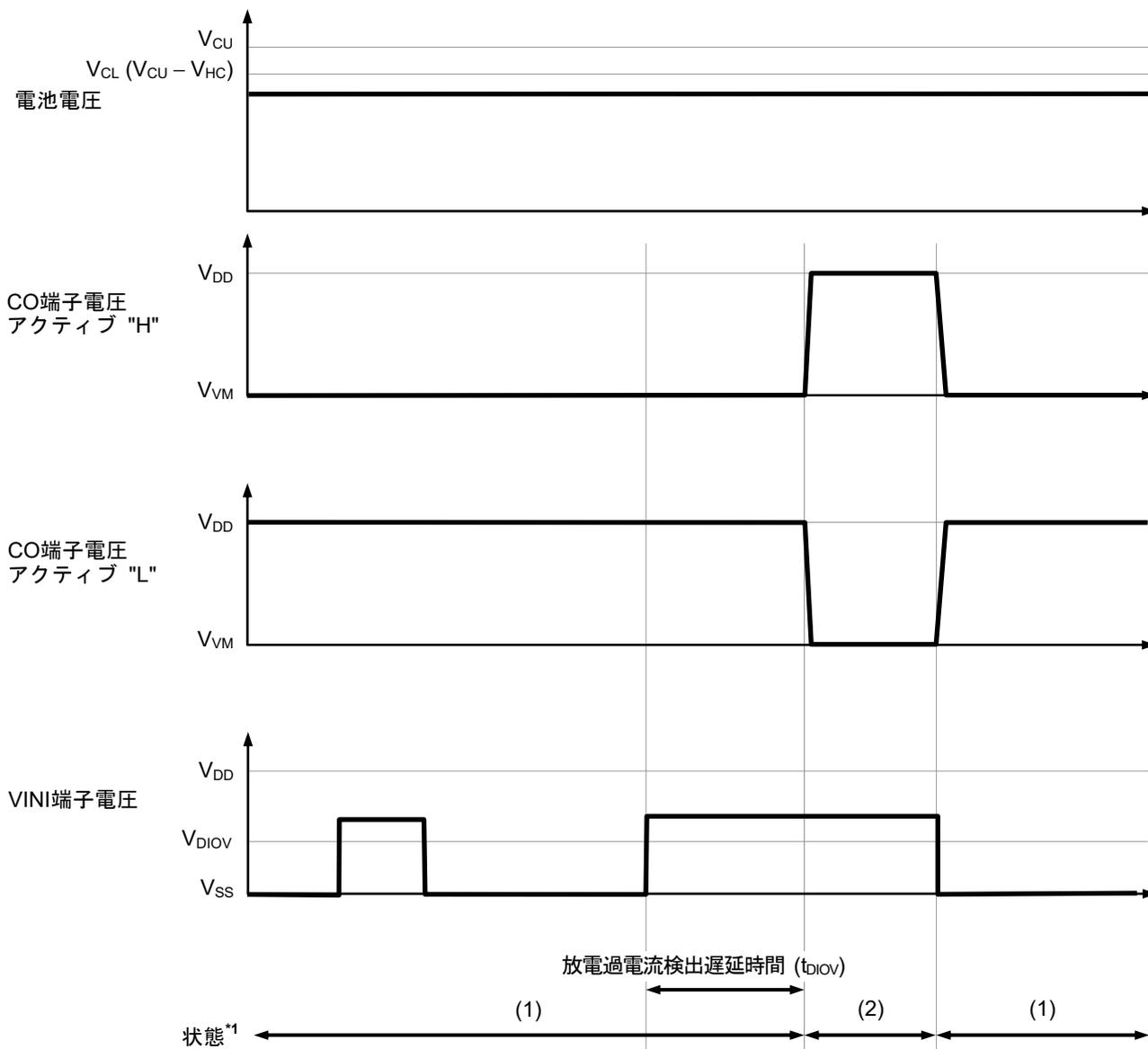
1. 過充電検出



*1. (1): 通常状態
(2): 過充電状態

図9

2. 放電過電流検出



*1. (1) : 通常状態
(2) : 放電過電流状態

図10

■ バッテリー保護ICの接続例

アクティブ "H" の製品を使用した場合の接続例を図11に示します。

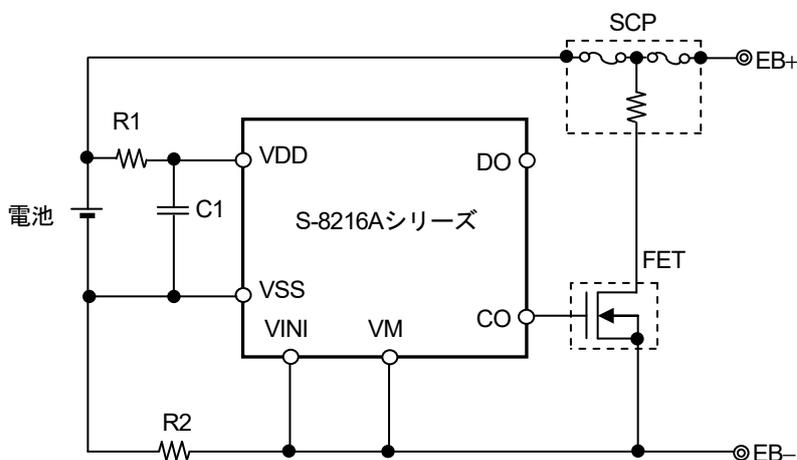


図11

表8 外付け部品定数

記号	部品	目的	Min.	Typ.	Max.	備考
FET	Nch MOS FET	充放電制御	-	-	-	-
R1	抵抗	ESD対策、 電源変動対策	150 Ω	330 Ω	1.0 kΩ ^{*1}	-
C1	容量	電源変動対策	0.068 μF	0.1 μF	1.0 μF	-
R2	抵抗	放電過電流検出	-	3 mΩ	-	-

*1. 過充電検出電圧の精度はR1 = 330 Ωで保証しています。それ以外の抵抗値を使用した場合は精度が悪化します。

注意 1. 上記定数は予告なく変更することがあります。

2. 接続例および定数は、動作を保証するものではありません。実際のアプリケーションで十分な評価の上、定数を設定してください。

【SCPに関するお問い合わせ先】

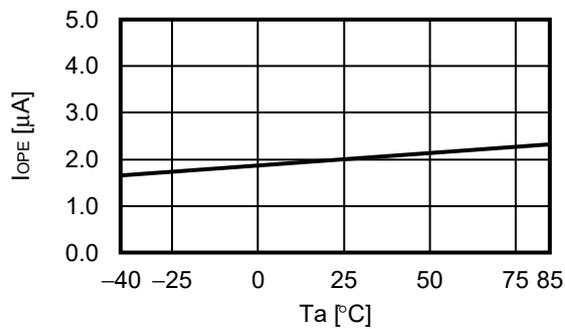
デクセリアルズ株式会社 グローバルマーケティング本部
〒141-0032 東京都品川区大崎 1-11-2
ゲートシティ大崎イーストタワー8階
TEL 03-5435-3946
お問い合わせ <http://www.dexerials.jp/>

■ 注意事項

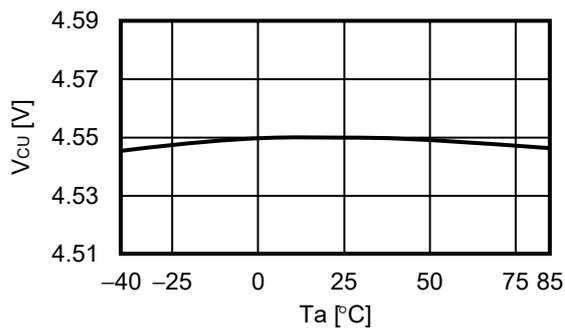
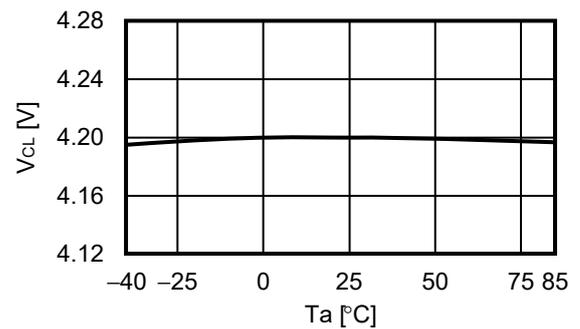
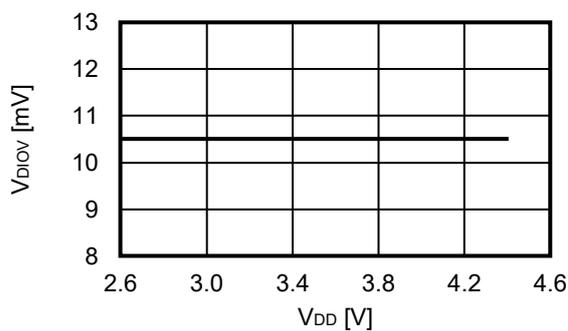
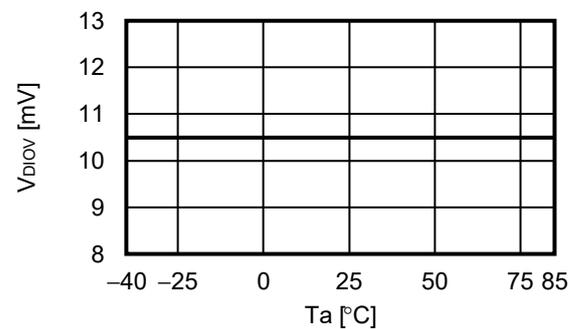
- ・ IC内での損失が許容損失を越えないように、入出力電圧、負荷電流の使用条件に注意してください。
- ・ 本ICは静電気に対する保護回路が内蔵されていますが、保護回路の性能を越える過大静電気がICに印加されないようにしてください。
- ・ 弊社ICを使用して製品を作る場合には、その製品での当ICの使い方や製品の仕様また、出荷先の国などによって当ICを含めた製品が特許に抵触した場合、その責任は負いかねます。

■ 諸特性データ (Typicalデータ)

1. 消費電流

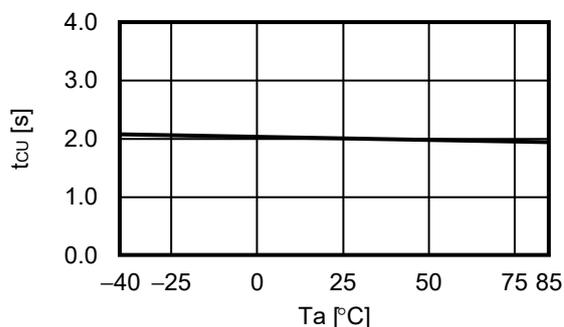
1.1 $I_{OPE} - T_a$ 

2. 検出電圧

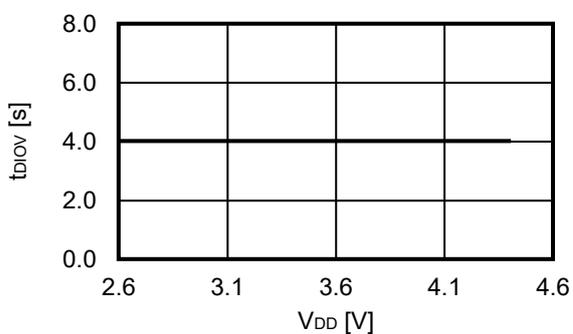
2.1 $V_{CU} - T_a$ 2.2 $V_{CL} - T_a$ 2.3 $V_{DIOV} - V_{DD}$ 2.4 $V_{DIOV} - T_a$ 

3. 遅延時間

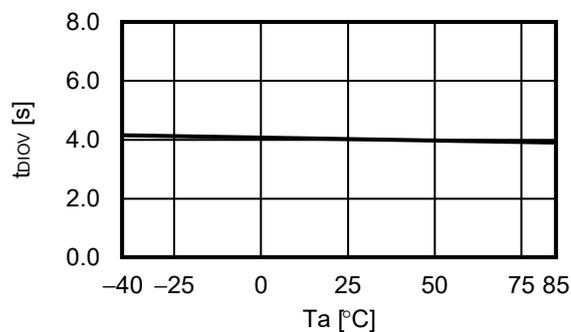
3.1 $t_{cu} - T_a$



3.2 $t_{DIOV} - V_{DD}$

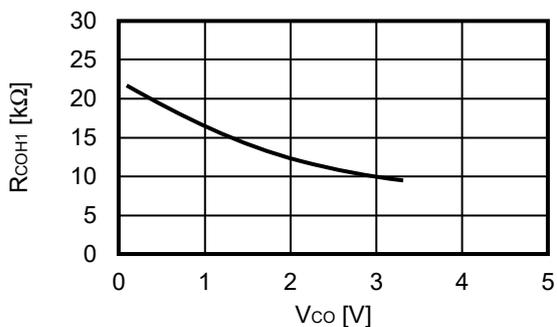


3.3 $t_{DIOV} - T_a$

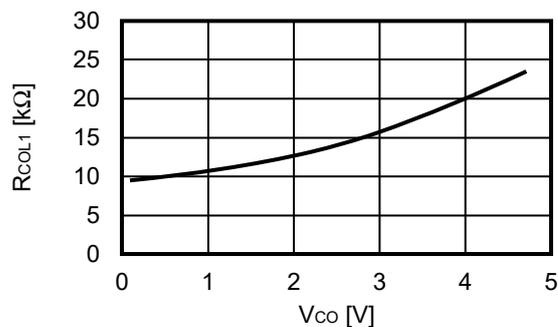


4. 出力抵抗

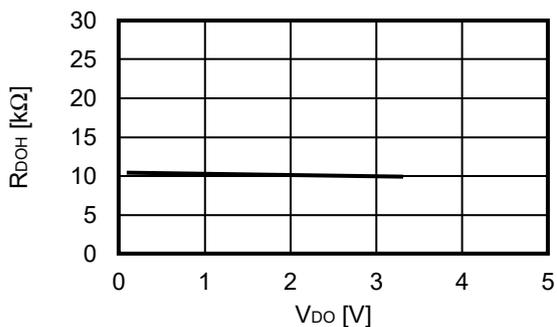
4.1 $R_{COH1} - V_{CO}$



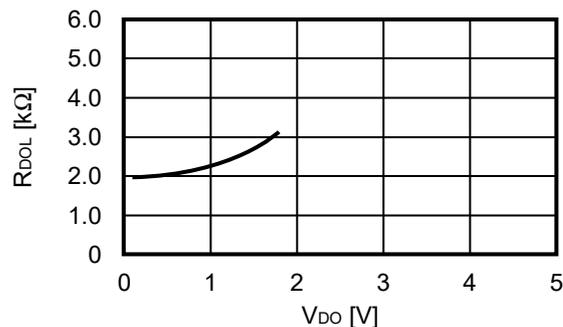
4.2 $R_{COL1} - V_{CO}$



4.3 $R_{DOH} - V_{DO}$

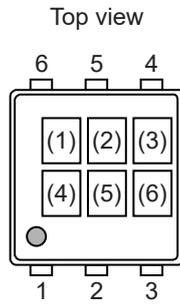


4.4 $R_{DOL} - V_{DO}$



■ マーキング仕様

1. SNT-6A



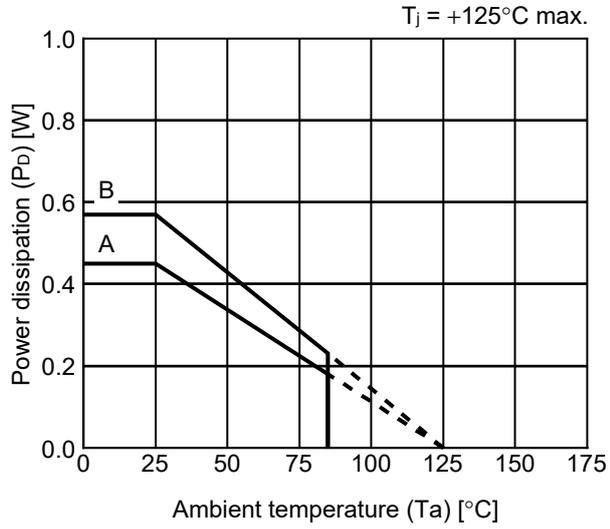
- (1) ~ (3) : 製品略号 (製品名と製品略号の対照表を参照)
(4) ~ (6) : ロットナンバー

製品名と製品略号の対照表

製品名	製品略号		
	(1)	(2)	(3)
S-8216AAA-I6T1U	6	9	A

■ Power Dissipation

SNT-6A



Board	Power Dissipation (P_D)
A	0.45 W
B	0.57 W
C	-
D	-
E	-

SNT-6A Test Board

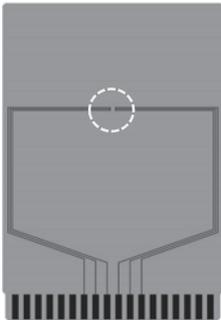
(1) Board A

 IC Mount Area



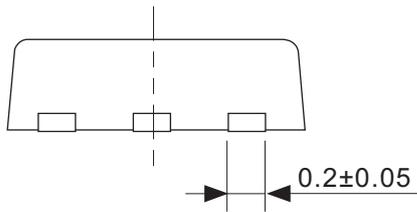
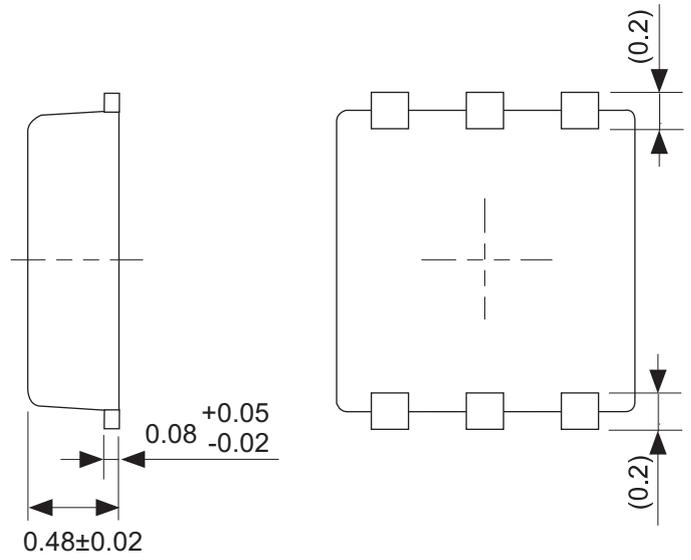
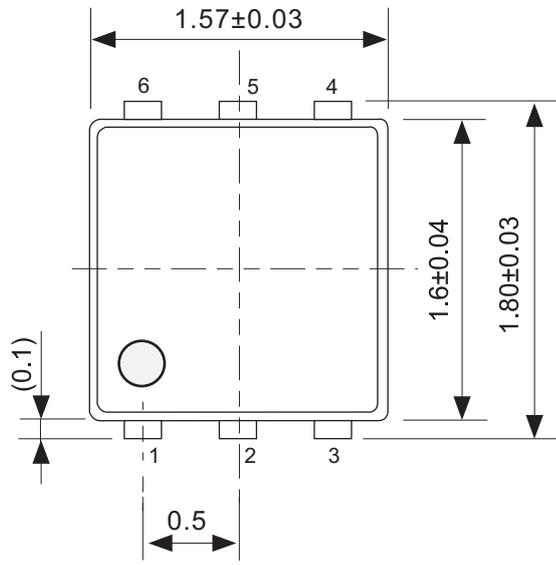
Item		Specification
Size [mm]		114.3 x 76.2 x t1.6
Material		FR-4
Number of copper foil layer		2
Copper foil layer [mm]	1	Land pattern and wiring for testing: t0.070
	2	-
	3	-
	4	74.2 x 74.2 x t0.070
Thermal via		-

(2) Board B



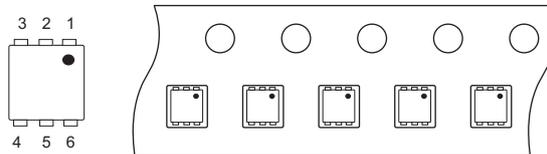
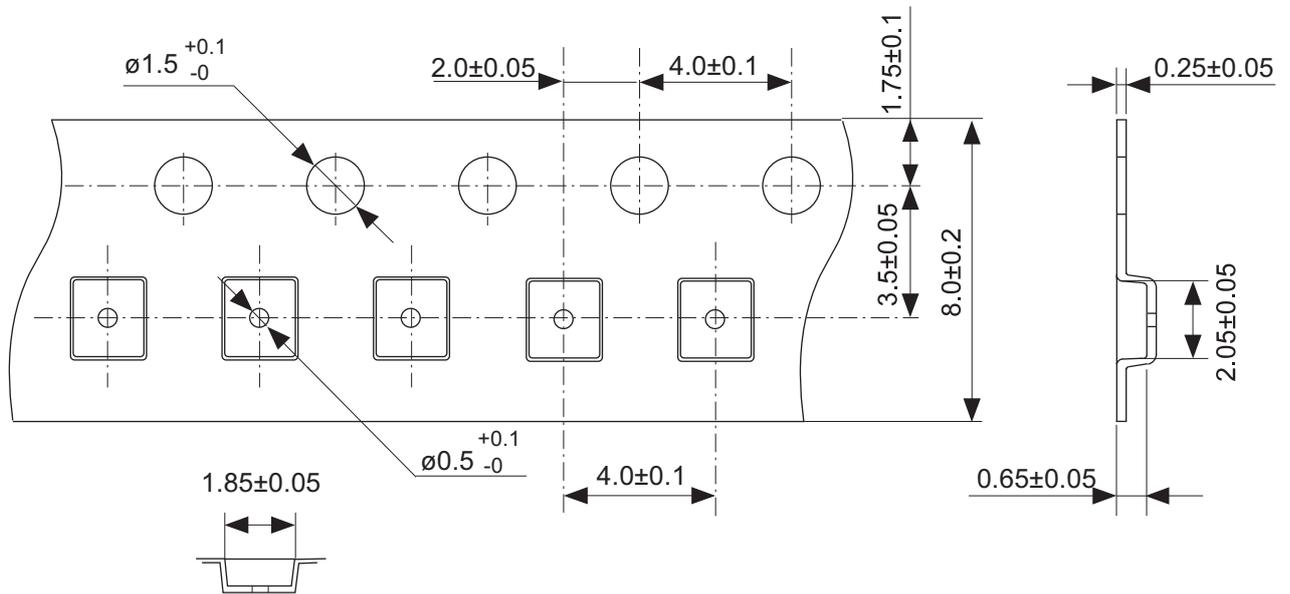
Item		Specification
Size [mm]		114.3 x 76.2 x t1.6
Material		FR-4
Number of copper foil layer		4
Copper foil layer [mm]	1	Land pattern and wiring for testing: t0.070
	2	74.2 x 74.2 x t0.035
	3	74.2 x 74.2 x t0.035
	4	74.2 x 74.2 x t0.070
Thermal via		-

No. SNT6A-A-Board-SD-1.0



No. PG006-A-P-SD-2.1

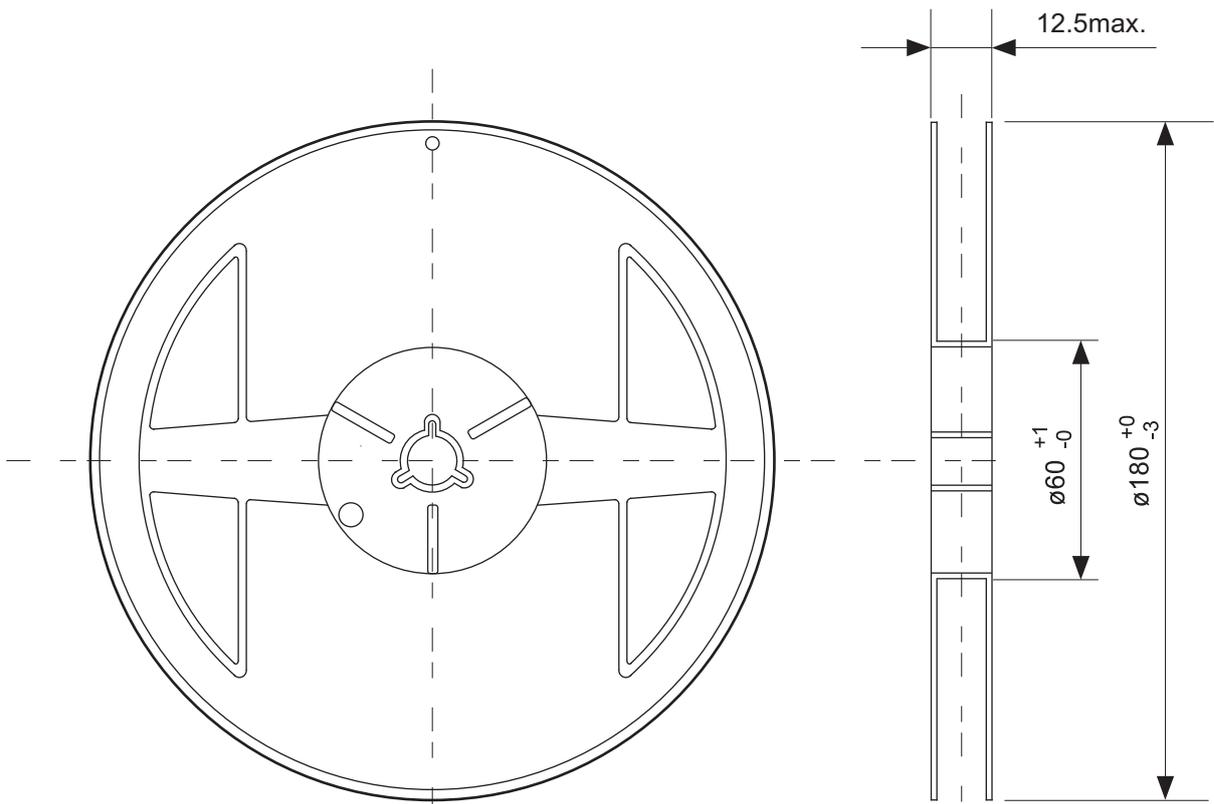
TITLE	SNT-6A-A-PKG Dimensions
No.	PG006-A-P-SD-2.1
ANGLE	
UNIT	mm
ABLIC Inc.	



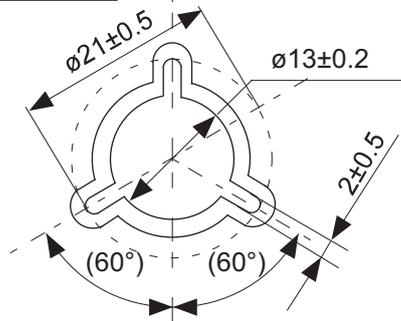
Feed direction →

No. PG006-A-C-SD-2.0

TITLE	SNT-6A-A-Carrier Tape
No.	PG006-A-C-SD-2.0
ANGLE	
UNIT	mm
ABLIC Inc.	

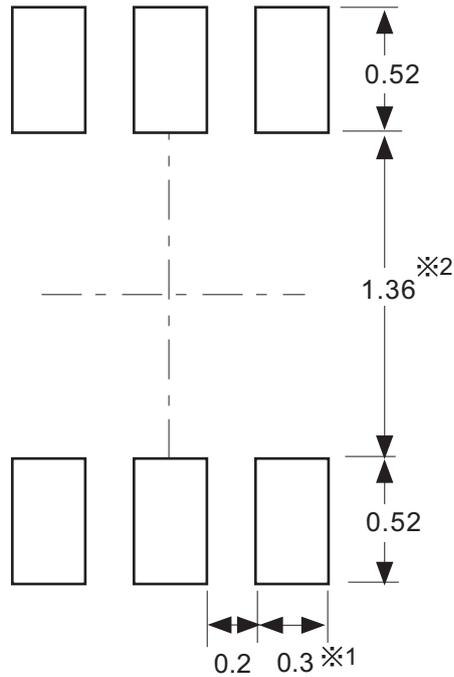


Enlarged drawing in the central part



No. PG006-A-R-SD-1.0

TITLE	SNT-6A-A-Reel		
No.	PG006-A-R-SD-1.0		
ANGLE		QTY.	5,000
UNIT	mm		
ABLIC Inc.			



※1. ランドパターンの幅に注意してください (0.25 mm min. / 0.30 mm typ.).
 ※2. パッケージ中央にランドパターンを広げないでください (1.30 mm ~ 1.40 mm)。

- 注意
1. パッケージのモールド樹脂下にシルク印刷やハンダ印刷などしないでください。
 2. パッケージ下の配線上のソルダーレジストなどの厚みをランドパターン表面から0.03 mm以下にしてください。
 3. マスク開口サイズと開口位置はランドパターンと合わせてください。
 4. 詳細は“SNTパッケージ活用の手引き”を参照してください。

※1. Pay attention to the land pattern width (0.25 mm min. / 0.30 mm typ.).
 ※2. Do not widen the land pattern to the center of the package (1.30 mm ~ 1.40 mm).

- Caution**
1. Do not do silkscreen printing and solder printing under the mold resin of the package.
 2. The thickness of the solder resist on the wire pattern under the package should be 0.03 mm or less from the land pattern surface.
 3. Match the mask aperture size and aperture position with the land pattern.
 4. Refer to "SNT Package User's Guide" for details.

※1. 请注意焊盘模式的宽度 (0.25 mm min. / 0.30 mm typ.).
 ※2. 请勿向封装中间扩展焊盘模式 (1.30 mm ~ 1.40 mm)。

- 注意
1. 请勿在树脂型封装的下面印刷丝网、焊锡。
 2. 在封装下、布线上的阻焊膜厚度 (从焊盘模式表面起) 请控制在 0.03 mm 以下。
 3. 钢网的开口尺寸和开口位置请与焊盘模式对齐。
 4. 详细内容请参阅 "SNT 封装的应用指南"。

No. PG006-A-L-SD-4.1

TITLE	SNT-6A-A -Land Recommendation
No.	PG006-A-L-SD-4.1
ANGLE	
UNIT	mm
ABLIC Inc.	

免責事項 (取り扱い上の注意)

1. 本資料に記載のすべての情報 (製品データ、仕様、図、表、プログラム、アルゴリズム、応用回路例等) は本資料発行時点のものであり、予告なく変更することがあります。
2. 本資料に記載の回路例および使用方法は参考情報であり、量産設計を保証するものではありません。本資料に記載の情報を使用したことによる、本資料に記載の製品 (以下、本製品といいます) に起因しない損害や第三者の知的財産権等の権利に対する侵害に関し、弊社はその責任を負いません。
3. 本資料の記載に誤りがあり、それに起因する損害が生じた場合において、弊社はその責任を負いません。
4. 本資料に記載の範囲内の条件、特に絶対最大定格、動作電圧範囲、電気的特性等に注意して製品を使用してください。本資料に記載の範囲外の条件での使用による故障や事故等に関する損害等について、弊社はその責任を負いません。
5. 本製品の使用にあたっては、用途および使用する地域、国に対応する法規制、および用途への適合性、安全性等を確認、試験してください。
6. 本製品を輸出する場合は、外国為替および外国貿易法、その他輸出関連法令を遵守し、関連する必要な手続きを行ってください。
7. 本製品を大量破壊兵器の開発や軍事利用の目的で使用および、提供 (輸出) することは固くお断りします。核兵器、生物兵器、化学兵器およびミサイルの開発、製造、使用もしくは貯蔵、またはその他の軍事用途を目的とする者へ提供 (輸出) した場合、弊社はその責任を負いません。
8. 本製品は、生命・身体に影響を与えるおそれのある機器または装置の部品および財産に損害を及ぼすおそれのある機器または装置の部品 (医療機器、防災機器、防犯機器、燃焼制御機器、インフラ制御機器、車両機器、交通機器、車載機器、航空機器、宇宙機器、および原子力機器等) として設計されたものではありません。上記の機器および装置には使用しないでください。ただし、弊社が車載用等の用途を事前に明示している場合を除きます。上記機器または装置の部品として本製品を使用された場合または弊社が事前明示した用途以外に本製品を使用された場合、これらにより発生した損害等について、弊社はその責任を負いません。
9. 半導体製品はある確率で故障、誤動作する場合があります。本製品の故障や誤動作が生じた場合でも人身事故、火災、社会的損害等発生しないように、お客様の責任において冗長設計、延焼対策、誤動作防止等の安全設計をしてください。また、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。
10. 本製品は、耐放射線設計しておりません。お客様の用途に応じて、お客様の製品設計において放射線対策を行ってください。
11. 本製品は、通常使用における健康への影響はありませんが、化学物質、重金属を含有しているため、口中には入れないようにしてください。また、ウエハ、チップの破断面は鋭利な場合がありますので、素手で接触の際は怪我等に注意してください。
12. 本製品を廃棄する場合には、使用する地域、国に対応する法令を遵守し、適切に処理してください。
13. 本資料は、弊社の著作権、ノウハウに係わる内容も含まれております。本資料中の記載内容について、弊社または第三者の知的財産権、その他の権利の実施、使用を許諾または保証するものではありません。本資料の一部または全部を弊社の許可なく転載、複製し、第三者に開示することは固くお断りします。
14. 本資料の内容の詳細その他ご不明な点については、販売窓口までお問い合わせください。
15. この免責事項は、日本語を正本として示します。英語や中国語で翻訳したものがあっても、日本語の正本が優越します。

2.4-2019.07



ABLIC

エイブリック株式会社
www.ablic.com